

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 1月 8日

出願番号

Application Number:

特願2003-002493

[ST.10/C]:

[J P 2003-002493]

出願人

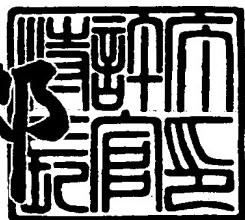
Applicant(s):

三菱電機株式会社

2003年 2月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田信一



出証番号 出証特2003-3005655

【書類名】 特許願
【整理番号】 542312JP01
【提出日】 平成15年 1月 8日
【あて先】 特許庁長官殿
【国際特許分類】 H04N 5/16
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 橋 正経
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100089118
【弁理士】
【氏名又は名称】 酒井 宏明
【手数料の表示】
【予納台帳番号】 036711
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9803092
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クランプ回路

【特許請求の範囲】

【請求項1】 アナログ映像信号をデジタル映像信号に変換してデジタル信号処理を行う際に前記デジタル映像信号の色信号と輝度信号とを分離して該輝度信号のDCレベルを補正するクランプ回路において、

前記デジタル映像信号を監視してデジタル信号処理が開始されてから所定の時間が経過するとクランプ制御信号を出力するクランプ制御回路と、

前記クランプ制御信号が入力されるまでは、補正輝度信号から前記アナログ映像信号の水平帰線消去期間内のバックポーチに挿入されているペデスタルレベルを抽出し、抽出したペデスタルレベルを外部から入力されるデジタル信号処理の基準となるデジタル信号処理基準レベルに収束させる演算処理を行い、その演算処理結果に基づいて前記輝度信号を補正した補正輝度信号を出力し、前記クランプ制御信号が入力された後は、該クランプ制御信号が入力された時の演算処理結果を保持し、保持した演算結果に基づいて前記輝度信号を補正した補正輝度信号を出力するクランプ処理回路と、

を備えることを特徴とするクランプ回路。

【請求項2】 前記クランプ制御回路は、

前記デジタル映像信号の変化を監視し、該デジタル映像信号が変化したことと検出すると信号検出信号を出力する信号検出回路と、

前記信号検出信号を所定の時間遅延させてクランプ制御信号を出力する遅延回路と、

を備えたことを特徴とする請求項1に記載のクランプ回路。

【請求項3】 前記クランプ制御回路は、

前記デジタル映像信号の垂直同期信号または水平同期信号を検出すると同期検出信号を出力する同期検出回路と、

前記同期検出信号を所定の時間遅延させてクランプ制御信号を出力する遅延回路と、

を備えたことを特徴とする請求項1に記載のクランプ回路。

【請求項4】 前記クランプ制御回路は、

前記アナログ映像信号の垂直同期信号または水平同期信号を検出すると同期検出信号を出力する同期検出回路と、

前記同期検出信号を所定の時間遅延させてクランプ制御信号を出力する遅延回路と、

を備えたことを特徴とする請求項1に記載のクランプ回路。

【請求項5】 前記クランプ処理回路は、

前記アナログ映像信号の水平帰線消去期間内のバックポーチのタイミングで外部より入力されるクランプパルスに基づいて前記補正輝度信号からペデスタルレベルのサンプリングデータを抽出するサンプリング回路と、

前記ペデスタルレベルのサンプリングデータの平均値を算出するデータ平均化回路と、

前記ディジタル信号処理基準レベルと前記データ平均化回路で算出した平均値とを比較して、前記ディジタル信号処理基準レベルと前記データ平均化回路で算出した平均値との差分を出力する比較回路と、

前記クランプ制御信号が入力されていない場合には、前記比較回路から入力される差分を取り込み、前記クランプ制御信号が入力された場合には、その時取り込んだ差分を保持するデータ保持回路と、

前記データ保持回路の差分を前記輝度信号に加算してレベル補正した補正輝度信号を出力するレベル補正回路と、

を備えることを特徴とする請求項1～4の何れか一つに記載のクランプ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、映像信号のクランプ回路に関するものであり、特に、映像信号をデジタル信号に変換してデジタル信号処理を行う場合のクランプ回路に関するものである。

【0002】

【従来の技術】

近年、テレビ受像機の高画質化、大画面化にともない、アナログ信号である映像信号をデジタルに変換して処理を行う傾向がある。アナログ信号である映像信号をデジタルに変換して処理する場合、A/D (Analog/digital) コンバータのダイナミックレンジの範囲を超えないように映像信号をクランプする。しかしながら、映像信号がデジタル信号処理回路に到達するまでの過程でオフセットやバラツキなどDCレベルが変動する要因が多く、映像信号をクランプするだけではデジタル信号処理の基準となるレベルに映像信号をクランプすることは難しい。すなわち、映像信号をクランプするだけでは、ペデスタルレベルを合わせ込むことは難しい。映像信号処理では、水平帰線消去期間のバックポーチに挿入されているペデスタルレベルが輝度信号処理の基準となる。ペデスタルレベルが変動すると、変動時に横引きノイズやフリッカが発生し映像が乱れてしまう。横引きノイズやフリッカが発生している映像は見にくいでなく目にも悪影響を及ぼす。そのため、デジタル信号に変換された映像信号のペデスタルレベルをクランプする必要がある。

【0003】

たとえば、従来技術では、量子化された映像信号からフィールド毎にペデスタルレベルを検出し、検出したデータを平均化する。平均化したペデスタルレベルの変動が所定の誤差範囲を超えている場合には、検出したペデスタルレベルを新たなペデスタルレベルとし、検出したペデスタルレベルの変動が所定の誤差範囲内である場合には、それ以前に検出したペデスタルレベルをそのままペデスタルレベルとするようにしている。すなわち、フィールド毎に検出したペデスタルレベルの変動が所定の誤差範囲内の場合には、ペデスタルレベルを固定するようにしている。このようにして決定したペデスタルレベルと目標値のペデスタルレベルとの差分値を用いて、映像信号を補正してアナログの映像信号をデジタルに変換した映像信号、すなわち、量子化された映像信号における量子化誤差によるフリッカを抑制するようにしている（たとえば、特許文献1参照）。

【0004】

【特許文献1】

特開平11-88723号公報

【0005】

【発明が解決しようとする課題】

しかしながら、従来技術では、ペデスタルレベルの誤差範囲を小さくすると、頻繁にペデスタルレベルとが変動してしまう。そのため、横引きノイズやフリッカの発生を完全に抑えることはできないという問題があった。

【0006】

また、フィールド内のペデスタルレベルの量子化の回数が少ない場合や量子化のビット数が少ない場合も演算誤差が大きくなり、ペデスタルレベルが頻繁に変動してしまう。そのため、サンプリング回数を多くして量子化のビット数を増やすなければならないという問題があった。すなわち、高性能のA／Dコンバータを用いて量子化の回数とビット数を増やして平均値を算出しなければならず、回路規模が大きくなるという問題があった。

【0007】

この発明は上記に鑑みてなされたもので、少ない回路規模でペデスタルレベルをクランプして輝度信号のDCレベルを補正し、横引きノイズやフリッカの発生を抑制するクランプ回路を得ることを目的としている。

【0008】

【課題を解決するための手段】

上記目的を達成するために、この発明にかかるクランプ回路は、アナログ映像信号をデジタル映像信号に変換してデジタル信号処理を行う際に前記デジタル映像信号の色信号と輝度信号とを分離して該輝度信号のDCレベルを補正するクランプ回路において、前記デジタル映像信号を監視してデジタル信号処理が開始されてから所定の時間が経過するとクランプ制御信号を出力するクランプ制御回路と、前記クランプ制御信号が入力されるまでは、補正輝度信号から前記アナログ映像信号の水平帰線消去期間内のバックポーチに挿入されているペデスタルレベルを抽出し、抽出したペデスタルレベルを外部から入力されるデジタル信号処理の基準となるデジタル信号処理基準レベルに収束させる演算処理を行い、その演算処理結果に基づいて前記輝度信号を補正した補正輝度信号を出力し、前記クランプ制御信号が入力された後は、該クランプ制御信号が入力され

た時の演算処理結果を保持し、保持した演算結果に基づいて前記輝度信号を補正した補正輝度信号を出力するクランプ処理回路とを備えることを特徴とする。

【0009】

この発明によれば、アナログ映像信号が入力されると、デジタル信号に変換してバックポーチに挿入されているペデスタルレベルの平均値とデジタル信号処理基準レベルとの差分を算出して輝度信号を補正する動作を繰り返しながら、ペデスタルレベルをデジタル信号処理基準レベルに収束させる。そして、クランプ回路にアナログ映像信号が入力されてペデスタルレベルがデジタル信号処理基準レベルに収束する十分な時間が経過した後に動作をロックして輝度信号を補正する差分を固定するようにしている。

【0010】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかるクランプ回路の好適な実施の形態を詳細に説明する。

【0011】

図1および図2を用いて本発明の実施の形態を説明する。図1は、この発明における本実施の形態のクランプ回路の構成を示すブロック図である。本実施の形態のクランプ回路は、入力クランプ回路10と、A/D変換回路20と、クランプ制御回路30と、Y/C分離回路40と、クランプ処理回路50とを備えている。

【0012】

入力クランプ回路10は、アナログ映像信号をA/D変換回路20のダイナミックレンジの範囲を超えないようなDCレベルにクランプし、クランプしたアナログ映像信号をA/D変換回路20に出力する。

【0013】

A/D変換回路20は、入力クランプ回路10でクランプされたアナログ映像信号をデジタル映像信号に変換し、変換したデジタル映像信号をY/C分離回路40とクランプ制御回路30とに出力する。A/D変換回路20がアナログ映像信号をデジタル映像信号に変換する変換時間は映像信号を復調するために

十分なデータを得ることができ、少なくとも、バックポーチに挿入されているペデスタルレベルを複数サンプリングできるものとする。

【0014】

クランプ処理回路50は、クランプ処理回路50を制御するためのクランプ制御信号を出力する機能を有する。クランプ処理回路50は、信号検出回路31と遅延回路32とを備えている。

【0015】

信号検出回路31は、A/D変換回路20から入力されるディジタル映像信号の変化を観測してディジタル映像信号の有無を検出する。すなわち、A/D変換回路20の出力が変化によりディジタル映像信号が入力されてディジタル信号処理の開始を検知する。ディジタル映像信号を検出した場合には、信号検出信号を遅延回路32に出力する。

【0016】

遅延回路32は、信号検出信号を所定の時間だけ遅延させたクランプ制御信号をクランプ処理回路50に出力する。遅延回路32が信号検出信号を遅延する時間は、クランプ処理回路50においてペデスタルレベルが収束するのに必要な時間に対して十分な時間をシミュレーションなどで検討して決定する。

【0017】

Y/C分離回路40は、ディジタル映像信号から輝度信号Yと色信号Cとを分離する。ディジタル映像信号には、明るさの情報を有する輝度信号Yと、色度の情報を有する色信号Cとが含まれている。Y/C分離回路40は、これら2つの信号を分離して、輝度信号Yをクランプ処理回路50に、色信号Cをカラーバースト信号に基づいて色復調を行う色信号処理部（図示せず）にそれぞれ出力する。

【0018】

クランプ処理回路50は、映像信号の水平期間消去期間内のバックポーチ期間に発生するクランプパルスがアサートの時の輝度信号Y、すなわち、ペデスタルレベルのデータと映像信号とディジタル信号処理するために設定されているディジタル信号処理基準レベルとクランプ制御回路30から出力されるクランプ制御

信号に基づいてペデスタルレベルをクランプする機能を有する。クランプ処理回路50は、サンプリング回路51と、データ平均化回路52と、比較回路53と、データ保持回路54と、レベル補正回路55とを備えている。

【0019】

レベル補正回路55は、Y/C分離回路40で分離された輝度信号Yとデータ保持回路54の出力とを加算して輝度信号を補正して補正輝度信号をサンプリング回路51に出力する。また、補正輝度信号を明るさの調整などを行う輝度信号処理部（図示せず）に出力する。

【0020】

サンプリング回路51は、水平帰線消去期間内のバックポーチの期間に発生するクランプパルスがアサートの時にレベル補正回路55から入力された補正輝度信号をデータ平均化回路52に出力する。すなわち、補正輝度信号の中からバックポーチに挿入されているペデスタルレベルの補正輝度信号をデータ平均化回路52に出力する。

【0021】

データ平均化回路52は、ペデスタルレベルのデータを平均し、バックポーチに挿入されているペデスタルレベルの平均値を比較回路53に出力する。バックポーチに挿入されたペデスタルレベルは、A/D変換回路20においてサンプリングされている。そのため、ペデスタルレベルは複数のディジタルデータに変換されている。データ平均化回路52は、これら複数のデータの平均値を算出してフィールドのペデスタルレベルの値を決定する。

【0022】

比較回路53は、ディジタルレベル信号処理基準レベルとペデスタルレベルの平均値とを比較して、その差分をデータ保持回路54に出力する。

【0023】

データ保持回路54は、クランプ制御回路30から入力される信号検出信号に基づいて、比較回路53から出力されたディジタルレベル信号処理基準レベルとペデスタルレベルの平均値の差分を保持するとともに、保持している差分をレベル補正回路55に出力する。

【0024】

つぎに、本実施の形態のクランプ回路の動作について説明する。入力クランプ回路10は、アナログ映像信号をA/D変換回路20のダイナミックレンジの範囲を越えないようなDCレベルにクランプする。そして、クランプしたアナログ映像信号をA/D変換回路20に出力する。

【0025】

A/D変換回路20は、クランプされたアナログ映像信号をデジタル映像信号に変換し、変換したデジタル映像信号をY/C分離回路40と信号検出回路31とに出力する。

【0026】

信号検出回路31は、デジタル映像信号の有無を検出する。具体的には、A/D変換回路20から入力されるデジタル映像信号がサンプリング周期で変化しているかを判定して、クランプ回路にアナログ映像信号が入力されたか否かを検出する。そして、デジタル映像信号を検出すると、信号検出信号を遅延回路32に出力する。

【0027】

遅延回路32は、信号検出信号を所定の時間遅延させたクランプ制御信号をデータ保持回路54に出力する。

【0028】

一方、Y/C分離回路40は、デジタル映像信号から輝度信号Yと色信号Cとを分離し、輝度信号Yをレベル補正回路55に、色信号Cを色復調処理部（図示せず）にそれぞれ出力する。

【0029】

レベル補正回路55は、輝度信号にデータ保持回路54の出力を加算した補正輝度信号をサンプリング回路51に出力するとともに、明るさの調整などを行う輝度信号処理部（図示せず）にも出力する。

【0030】

サンプリング回路51は、水平帰線消去期間内のバックポーチの期間に発生するクランプパルスがアサートの時に、補正輝度信号をデータ平均化回路52に出

力する。すなわち、バックポーチに挿入されているペデスタルレベルの補正輝度信号をデータ平均化回路52に出力する。

【0031】

データ平均化回路52は、ペデスタルレベルの補正輝度信号の平均値を算出して比較回路53に出力する。すなわち、このフィールドにおけるペデスタルレベルを比較回路53に出力する。

【0032】

比較回路53は、ディジタル信号処理基準レベルとペデスタルレベルの平均値とを比較して、これら2つの信号の差分を算出する。そして、その差分をデータ保持回路54に出力する。

【0033】

データ保持回路54は、クランプ制御信号が入力されていない場合、すなわち、ペデスタルレベルが収束していない場合は、比較回路53から入力されるディジタル信号処理基準レベルとペデスタルレベルの平均値との差分を取り込みレベル補正回路55に出力する。

【0034】

このように、クランプ制御信号が入力されていない場合には、サンプリング回路51と、データ平均化回路52と、比較回路53と、データ保持回路54と、レベル補正回路55とでフィードバックループを構成し、バックポーチに挿入されているペデスタルレベルとディジタル信号処理基準レベルとの差分を算出して輝度信号Yのレベルを補正して補正輝度信号を出力する動作を繰り返す。すなわち、ペデスタルレベルをディジタル信号処理基準レベルに収束させるように動作する。

【0035】

クランプ制御信号が入力されると、データ保持回路54は、比較回路53から入力されているディジタル信号処理基準レベルとペデスタルレベルの平均値との差分を保持し、その後、比較回路53からの差分を取り込まないようにする。すなわち、フィードバックループをロックしてレベル補正回路55に出力する差分を固定する。

【0036】

以上説明したようにこの実施の形態では、クランプ回路にアナログ映像信号が入力されると、ディジタル信号に変換してバックポーチに挿入されているペデスタルレベルの平均値とディジタル信号処理基準レベルとの差分を算出して輝度信号を補正する動作を繰り返しながら、ペデスタルレベルをディジタル信号処理基準レベルに収束させる。そして、クランプ回路にアナログ映像信号が入力されてペデスタルレベルがディジタル信号処理基準レベルに収束する十分な時間が経過した後に動作をロックして輝度信号を補正する差分を固定する。これにより、ペデスタルレベルをディジタル信号処理基準レベルに収束させる動作を停止して輝度信号を補正する差分を固定するための制御が簡素化され、少ない回路規模でペデスタルレベルの平均化の演算誤差などによる収束レベルの時間変動を抑えることができ、横引きノイズやフリッカのない映像を得ることができる。

【0037】

なお、図2に示すように、信号検出回路31の代りに、同期検出回路33を用いてクランプ制御信号を生成するようにしてもよい。図1と同じ機能を持つ構成部分には同一符号を付し、重複する説明は省略する。

【0038】

同期検出回路33は、ディジタル映像信号から水平同期信号を検出すると遅延回路32に同期検出信号を出力する。すなわち、水平同期信号によりディジタル信号処理の開始を検知する。遅延回路32は同期検出信号を所定の時間遅延してデータ保持回路54を制御するためのクランプ制御信号を出力する。すなわち、最初に検出した水平同期信号から一定時間後に、クランプ制御信号を出して、クランプ処理回路50のフィードバックループをロックする。

【0039】

このように、水平同期信号を検出してから一定時間後にクランプ制御信号を出力してデータ保持回路54を制御しても、フィードバックループを固定するための制御が簡素化され、少ない回路規模でペデスタルレベルの平均化の演算誤差などによる収束レベルの時間変動を抑えることができ、横引きノイズやフリッカのない映像を得ることができる。

【0040】

なお、同期検出回路33において垂直同期信号を検出して同期検出信号を出力するようにもしても、水平同期信号を検出した場合と同様の効果が得られる。

【0041】

また、通常、この発明におけるクランプ回路を用いる映像信号処理装置には、同期検出回路が内蔵されている場合が多い。したがって、同期検出回路を新たに設けることなく、映像信号処理装置内の同期検出回路を兼用することが可能となり、さらに回路規模を抑えることができる。この場合、垂直同期信号または水平同期信号をアナログ映像信号から検出してもかまわない。

【0042】

【発明の効果】

以上説明したように、この発明にかかるクランプ回路によれば、アナログ映像信号が入力されると、デジタル信号に変換してバックポーチに挿入されているペデスタルレベルの平均値とデジタル信号処理基準レベルとの差分を算出して輝度信号を補正する動作を繰り返しながら、ペデスタルレベルをデジタル信号処理基準レベルに収束させる。そして、クランプ回路にアナログ映像信号が入力されてペデスタルレベルがデジタル信号処理基準レベルに収束する十分な時間が経過した後に動作をロックして輝度信号を補正する差分を固定するようしているため、ペデスタルレベルをデジタル信号処理基準レベルに収束させる動作を停止して輝度信号を補正する差分を固定するための制御が簡素化され、少ない回路規模でペデスタルレベルの平均化の演算誤差などによる収束レベルの時間変動を抑えることができ、横引きノイズやフリッカのない映像を得ることができる。

【図面の簡単な説明】

【図1】 この発明におけるクランプ回路の構成を示すブロック図である。

【図2】 この発明におけるクランプ回路の構成を示すブロック図である。

【符号の説明】

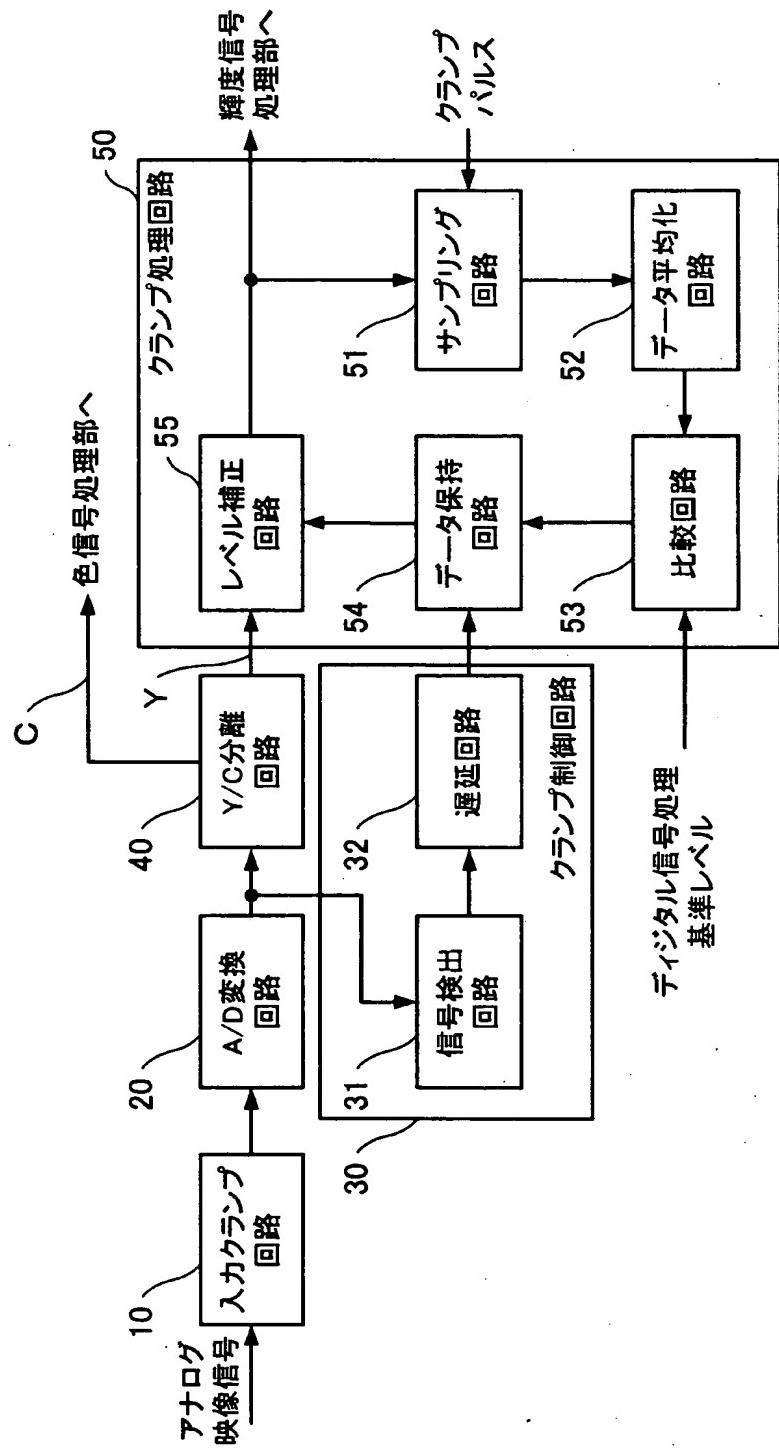
10 入力クランプ回路、20 A/D変換回路、30 クランプ制御回路、
31 信号検出回路、32 遅延回路、33 同期検出回路、40 Y/C分離

回路、50 クランプ処理回路、51 サンプリング回路、52 データ平均化
回路、53 比較回路、54 データ保持回路、55 レベル補正回路。

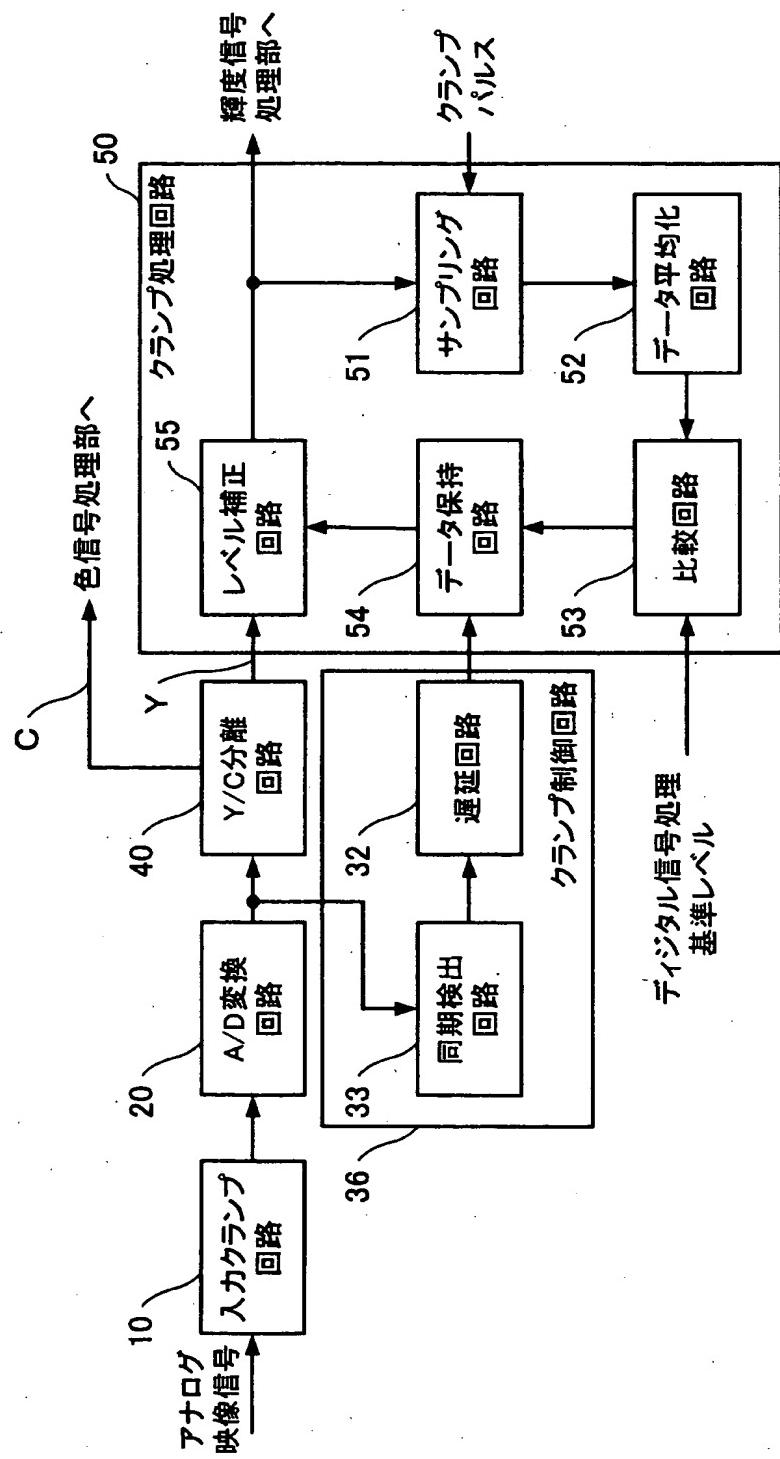
【書類名】

図面

【図1】



【図2】



【書類名】 要約書

【要約】

【課題】 少ない回路規模でペデスタルレベルをクランプして輝度信号のDCレベルを補正し、横引きノイズやフリッカの発生を抑制するクランプ回路を得ること。

【解決手段】 クランプ制御回路30は、ディジタル映像信号を検出すると所定時間遅延させてクランプ制御信号を出力する。クランプ処理回路50は、補正輝度信号からバックポーチに挿入されているペデスタルレベルを抽出してペデスタルレベルの平均値を算出する。算出したペデスタルレベルの平均値とディジタル信号処理基準レベルとの差分を算出し、その差分を輝度信号に加算してDCレベルを補正した補正輝度信号を生成してペデスタルレベルをディジタル信号処理基準レベルに収束させる。クランプ制御信号が入力されるとクランプ処理回路50は、そのときの差分を保持し、その後保持した差分を用いて輝度信号のDCレベルを補正する。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社